

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-242717

(43) 公開日 平成10年(1998)9月11日

(51) Int. Cl. <sup>a</sup>	識別記号	F I
H 0 1 P 5/08		H 0 1 P 5/08 Z
H 0 1 L 27/01	3 0 1	H 0 1 L 27/01 3 0 1
H 0 1 P 3/16		H 0 1 P 3/16
5/02	6 0 7	5/02 6 0 7

審査請求 未請求 請求項の数 4

O L

(全 9 頁)

(21) 出願番号 特願平9-44162

(22) 出願日 平成9年(1997)2月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石川 容平

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 坂本 孝一

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 山下 貞夫

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(74) 代理人 弁理士 小森 久夫

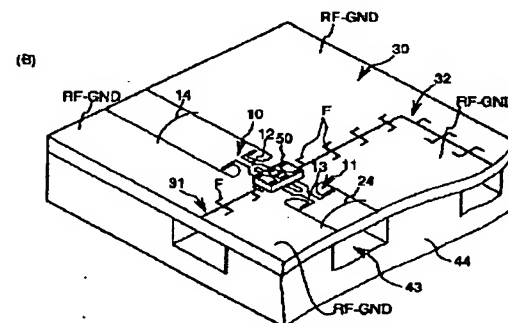
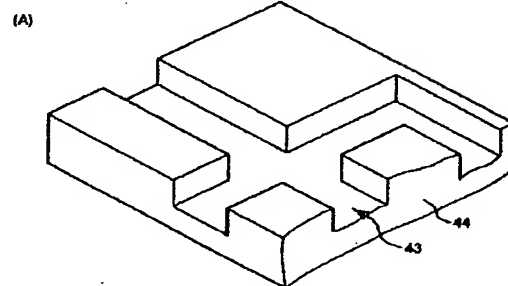
最終頁に続く

(54) 【発明の名称】 平面誘電体集積回路

(57) 【要約】

【課題】 平面誘電体線路と電子部品との間のエネルギー変換損が少なく、また両者間のインピーダンス整合を容易にとれるようにした平面誘電体集積回路を提供する。

【解決手段】 誘電体板を挟んで2つのスロットを対向させることによって平面誘電体線路を設けるとともに、その平面誘電体線路の端部にスロット線路および線路変換導電体パターン10、11を設け、スロット線路を跨いでFET50を配置する。



## 【特許請求の範囲】

【請求項1】 誘電体板の第1主面に2つの導電体を一定間隔で配して第1のスロットを設け、前記誘電体板の第2主面に2つの導電体を一定間隔で配して第1のスロットに対向する第2のスロットを設け、前記誘電体板の前記第1のスロットと第2のスロットとで挟設される領域を平面波の伝搬領域とする平面誘電体線路を構成し、前記誘電体板の、前記平面誘電体線路の端部にスロット線路を形成し、該スロット線路に、前記平面誘電体線路と結合し、且つスロット線路との間でモード変換を行う線路変換導電体パターンを設け、前記スロット線路を跨いで電子部品を配置してなる平面誘電体集積回路。

【請求項2】 前記スロット線路の両端となる位置に前記線路変換導電体パターンを設け、前記スロット線路の略中央部に前記電子部品を配置してなる請求項1に記載の平面誘電体集積回路。

【請求項3】 前記線路変換導電体パターンと前記電子部品との間のインピーダンス整合をとるショートスタブを前記スロット線路の途中に設けた請求項1または2に記載の平面誘電体集積回路。

【請求項4】 前記線路変換導電体パターンと前記スロット線路との間に、インピーダンス整合回路を設けた請求項1～3のいずれか1項に記載の平面誘電体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、ミリ波帯やマイクロ波帯で用いられる平面誘電体集積回路に関する。

## 【0002】

【従来の技術】 従来より、マイクロ波帯やミリ波帯では導波管や同軸線路、またはマイクロストリップ線路、コプレーナ線路、スロット線路等の誘電体基板上に所定の導電体を形成して構成された伝送線路が多く用いられてきた。特に誘電体基板上に伝送線路を形成したものは、IC等の電子部品との接続が容易であるために、誘電体基板上に電子部品を実装して集積回路を構成する試みも多くなされている。

## 【0003】

【発明が解決しようとする課題】 ところが、従来のマイクロストリップ線路、コプレーナ線路、スロット線路等では、比較的伝送損失が大きいため、特に低伝送損失が要求される回路には適さない。そこで、本願出願人は特願平07-069867号にてこれらの課題を解決した平面誘電体線路および集積回路に関する発明を出願している。

【0004】 一方、半導体素子などの電子部品の入出力部と平面誘電体線路とは一般に電磁界分布が異なるため、平面誘電体線路に電子部品を単に実装するだけでは変換損が極めて大きくなる。また、誘電体板の一方の面に電子部品を実装しただけでは、その裏面の電磁界と電

子部品との結合がなされず、その点でも変換損失の増大につながる。誘電体板の両面に電子部品を実装すれば後者の問題は解消できるが、電子部品の特性ばらつきによる特性再現性（歩留り）の低下、損失の増大、材料および実装コストの増大をもたらす。

【0005】 この発明は、平面誘電体線路と電子部品との間のエネルギー変換損が少なく、また両者間のインピーダンス整合を容易にとれるようにした平面誘電体集積回路を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 この発明は、平面誘電体線路と電子部品との結合部分における信号ロスを低減して、平面誘電体線路の特徴である低損失性を維持しつつ集積化を行うために、請求項1に記載のとおり誘電体板の第1主面に2つの導電体を一定間隔で配して第1のスロットを設け、前記誘電体板の第2主面に2つの導電体を一定間隔で配して第1のスロットに対向する第2のスロットを設け、前記誘電体板の前記第1のスロットと第2のスロットとで挟設される領域を平面波の伝搬領域とする平面誘電体線路を構成し、前記誘電体板の、前記平面誘電体線路の端部にスロット線路を形成し、該スロット線路に、前記平面誘電体線路と結合し、且つスロット線路との間でモード変換を行う線路変換導電体パターンを設け、前記スロット線路を跨いで電子部品を配置する。

【0007】 このように平面誘電体線路を伝搬するLSMモードのRF信号は線路変換導電体パターンに結合し、TEモードに変換されてスロット線路を伝搬する。このスロット線路を伝搬する信号が電子部品に入力される。逆に、電子部品から出力される信号はスロット線路をTEモードで伝搬し、これが線路変換導電体パターンによりLSMモードに変換されて平面誘電体線路を伝搬する。

【0008】 また、この発明は請求項2に記載のとおり、前記スロット線路の両端となる位置に前記線路変換導電体パターンを設け、前記スロット線路の略中央部に前記電子部品を配置する。これにより2つの平面誘電体線路のうち一方の平面誘電体線路から他方の平面誘電体線路へ信号の伝搬が行われる際、線路変換導電体パターンおよびスロット線路によって途中スロット線路のモードに変換され、電子部品によってたとえば増幅等の信号変換が行われた後、再び線路変換導電体パターンを介して平面誘電体線路のモードに戻される。したがって平面誘電体線路を用いて信号の伝搬を行いつつ、エネルギー変換損の少ない構成で電子部品を用いた信号変換が可能となる。

【0009】 また、この発明は請求項3に記載のとおり、前記線路変換導電体パターンと前記電子部品との間のインピーダンス整合をとるショートスタブを前記スロット線路の途中に設ける。これにより線路変換導電体パ

ターンと電子部品とがインピーダンス整合し、スロット線路と電子部品との接続部での損失が低減する。

【0010】更に、この発明は請求項4に記載のとおり、前記線路変換導電体パターンと前記スロット線路との間に、インピーダンス整合回路を設ける。これにより、線路変換導電体パターンおよび平面誘電体線路とスロット線路とがインピーダンス整合し、不要な反射が抑制され、線路変換に伴う伝送損失が低減する。

【0011】

【発明の実施の形態】この発明の第1の実施形態である高周波増幅器の構成を図1～図6を参照して説明する。

【0012】図1は高周波増幅器の構成を示す部分分解斜視図である。(A)は下部導電体板の斜視図であり、下部導電体板44の図における上面に溝を形成して43で示す空間部を設けている。同図の(B)は(A)に示した下部導電体板44の上面に回路基板30を載置した状態を示している。回路基板30は誘電体板の上下面に各種導電体パターンを形成したものであり、この回路基板30の上面にはスロット線路入力型のFET(ミリ波GaAsFET)50を実装している。14、24はそれぞれ2つの導電体を一定間隔で配してなる回路基板30上面のスロットであり、後述するように、回路基板30を挟んで対向する下面のスロットとともに2つの平面誘電体線路を構成する。12、13は2つの平面誘電体線路の端部にそれぞれ形成したスロット線路、10、11は平面誘電体線路と結合し、且つスロット線路との間でモード変換を行う線路変換導電体パターンである。また31、32はそれぞれコプレーナ線路であり、FET50に対してゲートバイアス電圧およびドレインバイアス電圧を供給する。この2つのコプレーナ線路31、32にはFで示すフィルタを設けるとともに、これらの周辺部はRF-GND(接地導電体)として回路基板30の上面を覆っている。この回路基板30の下面には、スロット14、24にそれぞれ対向するスロットを設けていて、回路基板30の下面のその他の領域にはRF-GNDを形成している。

【0013】図2は図1の(B)に示した状態から更にその上面に上部導電体板41を載置した状態を示している。上部導電体板41の内面には下部導電体板44の溝と面対称(鏡対称)の溝を形成することによって空間部42を設けている。

【0014】図3は図1に示したスロット24部分を通る断面図である。図3において23は誘電体板であり、その第1主面(図における上面)に2つの導電体21a、21bを形成して、24で示す部分を第1のスロットとして構成している。また、誘電体板23の第2主面(図における下面)に2つの導電体22a、22bを形成して、25で示す部分を第2のスロットとして構成している。2つの導電体板41、44はスロット24、25の近傍に空間42、43を設けるとともに、導電体2

1a-21b間および22a-22b間をそれぞれ導通させる。

【0015】図3に示した、対向するスロット24と25との間の誘電体板23に設けられる23cで示す部分が所望の伝搬周波数fbを有する高周波信号を伝搬させる伝搬領域となる。また、この伝搬領域23cを挟む両側の23a、23bで示す部分が遮断領域となる。

【0016】図4は図3に示した平面誘電体線路の伝搬領域部分を伝搬方向に通る面における断面図である。図4に示すように、平面波の電磁波である平面電磁波pw23は誘電体板23の上面(スロット24部分)に所定の入射角θで入射して、入射角θと等しい反射角θで反射する。また、誘電体板23の上面で反射された平面電磁波pw23は誘電体板23の下面(スロット25部分)に入射角θで入射して、入射角θと等しい反射角θで反射する。以降、平面電磁波pw23は誘電体板23のスロット24、25部分の表面を境界面として交互に繰り返して反射して、誘電体板23の伝搬領域23cの内部をTEモードで伝搬する。言い換えれば、所望の伝搬周波数fbが臨界周波数fda(入射角θが小さくなって、平面電磁波pw23が空間42、43に透過して、伝搬領域23cの内部を伝搬する平面電磁波pw23が減衰する状態となる周波数)以上となるように誘電体板23の比誘電率、誘電体板23の厚みt23を定める。

【0017】また、図3に示した誘電体板23を挟んで対向する電極21a、22aは、TE波に対して所望の伝搬周波数fbに比べて十分に高い遮断周波数を有する平行平板導波管を構成する。これによって、電極21aと22aとによって挟設された誘電体板23の幅方向の一方の側に、電極21a、22aに平行な電界成分を有するTE波に対する遮断領域23aを構成する。同様に誘電体板23を挟む電極21b、22bはTE波に対して所望の伝搬周波数fbに比べて十分に高い遮断周波数を有する平行平板導波管を構成し、この電極21b、22bによって挟設された誘電体板23の幅方向の一方の側に、TE波に対する遮断領域23bを構成する。

【0018】また、空間42の図における天面と電極21aとが平行平板導波管を構成するが、この厚さt42は、当該平行平板導波管のTE波に対する遮断周波数が所望の伝搬周波数fbより充分高くなるように設定する。これによって、42aで示す部分に、TE波に対する遮断領域を構成する。同様に42b、43a、43bで示す部分にもそれぞれTE波に対する遮断領域を構成する。

【0019】また、空間42の対向する内面(図における縦の壁面)は平行平板導波管を構成するが、この幅W2は当該平行平板導波管のTE波に対する遮断周波数が所望の伝搬周波数fbより充分に高くなるように設定する。これによって遮断領域42dを構成する。空間43

電体線路を用いたため、この回路と外部回路との寄生カップリングを防ぐことができる。また、平面誘電体線路の $Q$ が高い（上述した例では $Q>500$ ）ため、伝送損失を最小限に抑えることができる。また、回路基板上の電極パターンはフォトリソグラフィを用いた一般的な回路基板の製造技術と同様の技術を用いて作成できるので、極めて簡便で低コストに製造することができる。さらに、この実施形態ではFETのゲートフィンガ（ゲート端子から活性領域へ延びる電極）が2本であり、2つのゲートにはソース電極に対して逆位相のRF信号が入力されるため、偶数高調波が抑圧され、電力付加効率が

【0029】なお、スロット線路を分岐することによってFETのゲートフィンガの本数は自由に実現できるので、必要な増幅率や出力電力に応じて容易に設計できる。

【0030】次に第2の実施形態である電圧制御発振器（以下「VCO」という。）の構成を図7～図9を参照して説明する。

【0031】図7は下部導電体板44の上に回路基板30を載置した状態での斜視図である。このVCOは図1の（B）に示した高周波増幅器に共振器と可変容量素子を設けたものである。図7において61は薄膜抵抗であり、回路基板30の上面に形成したスロット14の終端部分を先細り形状にするとともに、その上部にこの薄膜抵抗61を設けている。74は回路基板30の上面に設けた他のスロットであり、後述するように回路基板30を挟んでその裏面側にもスロットを設けて平面誘電体線路を構成している。60はスロット74を跨ぐように実装した可変容量素子であり、印加電圧に応じてキャパシタンスが変化する。この可変容量素子としては、特開平5-74655号に示されている可変容量コンデンサや、一般的な可変容量ダイオードを用いることができる。また図中64は回路基板30の上面に設けた誘電体共振器用導体非形成部であり、回路基板30を挟んでその裏面側に対向する誘電体共振器用導体非形成部とによって、この部分にTE010モードの誘電体共振器を構成する。その他の構成は第1の実施形態と同様であり、図7に示した回路基板30の上部は上部導電体板で覆う。

【0032】図8は図7に示した回路基板30の平面図であり、図9は回路基板30の裏面側の構成を示す図である。ただし図9は回路基板30を裏面側から見た図ではなく、その上面から透視した図である。このように、回路基板30の誘電体板を挟んで両主面にスロット14、24、74、15、25、75を形成することによって、3つの平面誘電体線路を構成し、さらに誘電体共振器用導体非形成部64、65を設けたことにより、この部分に、電磁界の閉じ込め効果が高いTE010モードの誘電体共振器を構成する。この3つの平面誘電体

線路、誘電体共振器、FET30の実装部、およびコプレーナ線路31、32の形成部の周囲には、上下の導電体板の溝を対向させ、それぞれ空間部を形成する。このようにして帯域反射型の発振器を構成する。ここで、誘電体板の比誘電率が24、厚さが0.3mmの場合、誘電体共振器用導体非形成部64、65の直径を1.7mmとすれば、その共振周波数を60GHzとすることができる。この共振器と平面誘電体線路とは、単に近接させただけでは電磁界結合しないため、図中Cで示す微小な結合用切欠部を形成する。この切欠部は幅0.2～0.3mm、奥行き0.05～0.1mm程度の小さなもので十分な結合が得られる。この構成で、可変容量素子60のキャパシタンスを変化させると、スロット74を含む平面誘電体線路のインピーダンスが変化し、この平面誘電体線路の共振周波数が変化する。これにより、この線路に結合した誘電体共振器の共振周波数が変化し、VCOの発振周波数を変化させることができる。

【0033】この第2の実施例に係るVCOにおいては、電磁界の閉じ込め効果の高いTE010モードの誘電体共振器を用いたため、この共振器をFET50に近接配置しても、FET50と共振器とは寄生カップリングせず、回路モジュールを小型化することができる。また、平面誘電体線路やTE010モードの誘電体共振器はミリ波においても $Q$ が極めて高いため（ $Q>500$ ）、共振回路全体の負荷 $Q$ を高めることができ、発振器の位相ノイズを抑えることができる。

【0034】次に第3の実施例であるVCOの構成を図10を参照して説明する。図7に示したVCOと異なる点は、スロット74を含む平面誘電体線路と誘電体共振器との位置関係である。すなわち、図7では、スロット74を含む平面誘電体線路（副線路）の側面に誘電体共振器を配置しているのに対し、図10では副線路の前面に誘電体共振器を配置している。この構成によれば、図7に示したものよりモジュールのサイズが大型になる場合があるが、一般に副線路の前面部分で結合するほうが強い結合が得られるので、誘電体共振器と平面誘電体線路との結合が容易になる。

【0035】

【発明の効果】請求項1に係る発明によれば、平面誘電体線路と電子部品との間が、線路変換導電体パターンおよびスロット線路を介して接続されるため、平面誘電体線路と電子部品との結合部分における信号ロスを低減して、平面誘電体線路の特徴である低損失性を維持しつつ集積化を行うことができる。

【0036】請求項2に係る発明によれば、2つの平面誘電体線路のうち一方の平面誘電体線路から他方の平面誘電体線路へ信号の伝搬が行われる際、線路変換導電体パターンおよびスロット線路によって途中スロット線路のモードに変換され、電子部品によって信号変換が行われた後、再び線路変換導電体パターンを介して平面誘電

体線路のモードに戻されるため、平面誘電体線路を用いて信号の伝搬を行いつつ、エネルギー変換損の少ない構成で電子部品を用いた信号変換が可能となる。

【0037】請求項3に係る発明によれば、線路変換導電体パターンと電子部品とがインピーダンス整合し、スロット線路と電子部品との接続部での損失が低減する。

【0038】請求項4に係る発明によれば、線路変換導電体パターンおよび平面誘電体線路とスロット線路とがインピーダンス整合し、不要な反射が抑制され、線路変換に伴う伝送損失が低減する。

#### 【図面の簡単な説明】

【図1】第1の実施形態である高周波増幅器の構成を示す部分分解斜視図である。

【図2】同高周波増幅器の全体の構成を示す斜視図である。

【図3】平面誘電体線路部分の断面図である。

【図4】平面誘電体線路部分の断面図である。

【図5】回路基板上の導電体パターンを示す図である。

【図6】図5に対してFETを実装した状態を示す図である。

【図7】第2の実施形態であるVCOの構成を示す部分分解斜視図である。

【図8】第2の実施形態に係るVCOの回路基板の平面図である。

【図9】同回路基板の裏面側の導電体パターンを示す図である。

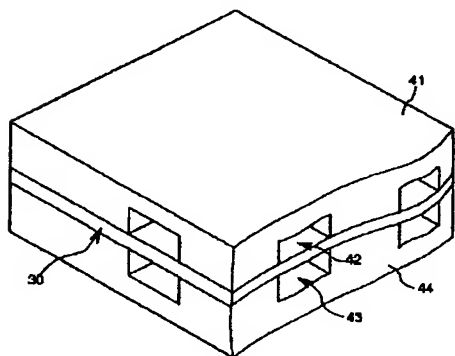
【図10】第3の実施形態であるVCOの部分分解斜視図である。

#### 【符号の説明】

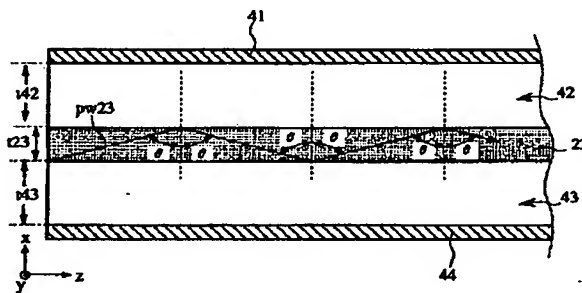
10, 11—線路変換導電体パターン

12, 13—スロット線路  
 14, 24, 74—第1のスロット  
 15, 25, 75—第2のスロット  
 21a, 21b—導電体  
 22a, 22b—導電体  
 23—誘電体板  
 23a, 23b—遮断領域  
 23c—伝搬領域  
 30—回路基板  
 31, 32—コプレーナ線路  
 33, 34—中心導体  
 35—ゲート端子  
 36—ドレイン端子  
 37, 38—スロット線路分岐用導体  
 41—上部導電体板  
 42, 43—空間  
 44—下部導電体板  
 50—FET  
 51, 52—ソース端子  
 53—ゲート端子  
 54—ドレイン端子  
 55, 56—活性領域  
 60—可変容量素子  
 61—薄膜抵抗  
 64, 65—誘電体共振器用導体非形成部  
 R—インピーダンス整合部  
 S—ショートスタブ  
 F—フィルタ  
 C—切欠部

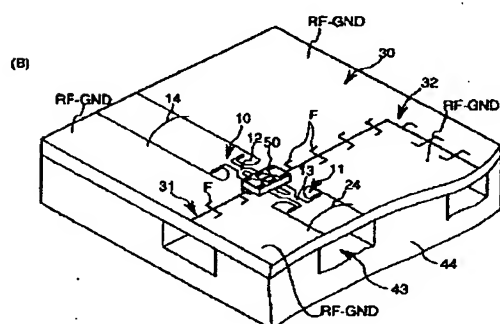
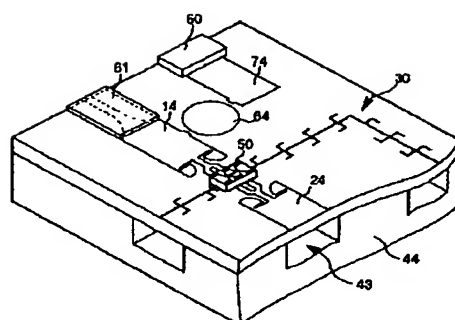
【図2】



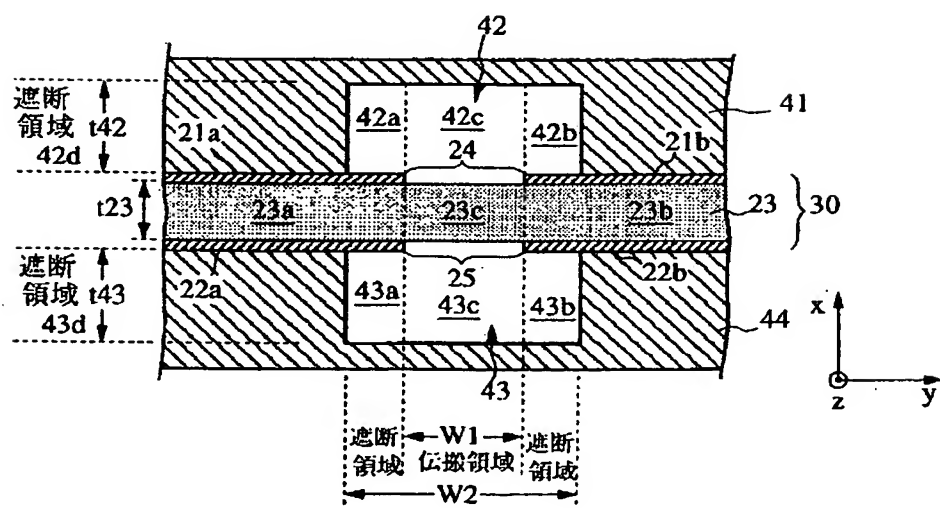
【図4】



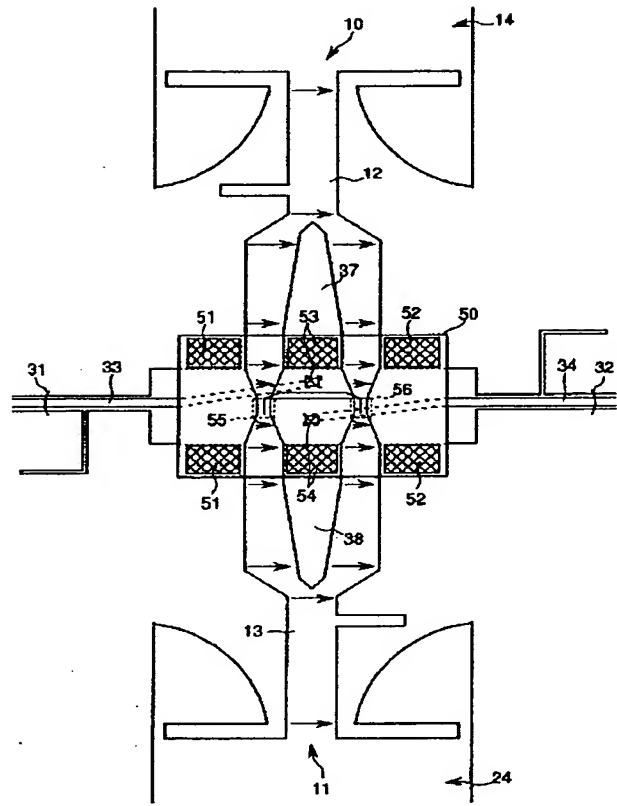
【圖 7】



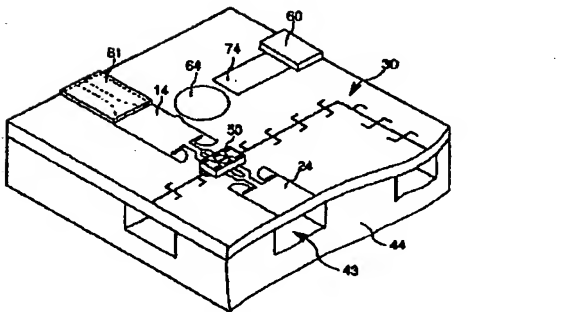
【図3】



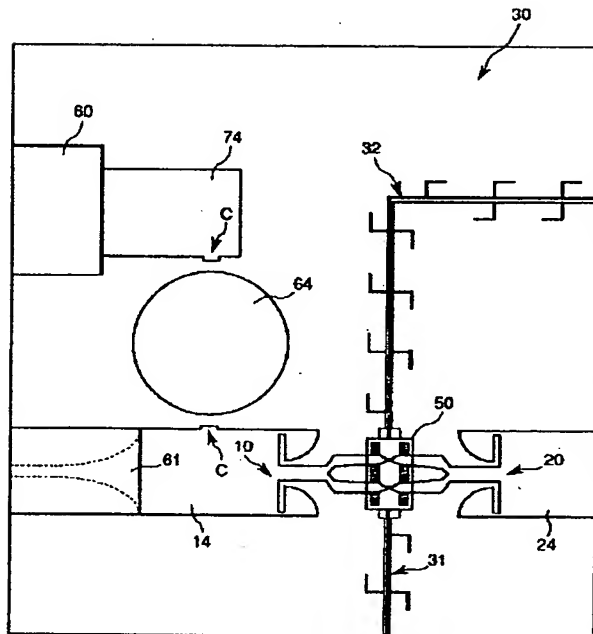
【図 6】



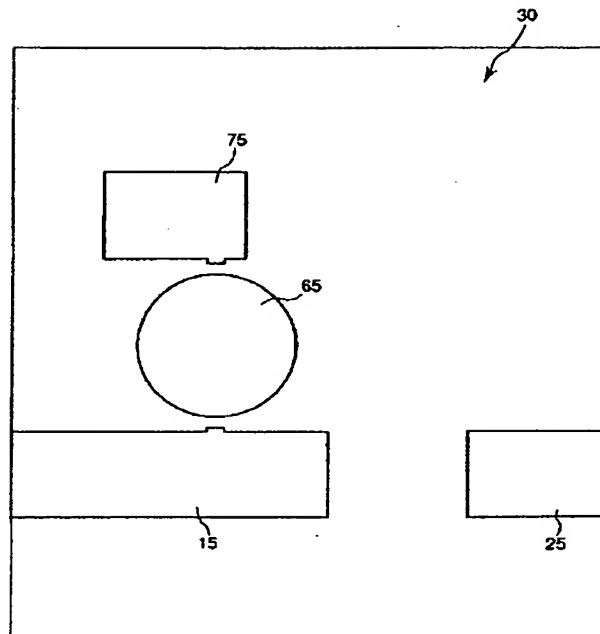
【図 10】



【図8】



【図9】



フロントページの続き

(72) 発明者 飯尾 憲一

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**